

2023 IEEE ASSCC Review

DGIST EECS 박사과정 위정윤

Session 11. Innovative Nyquist ADCs

이번 2023 IEEE CICC의 Session 11은 Innovative Nyquist ADCs라는 주제로 총 4편의 논문이 발표되었다. Pipelined-ADC에 residual voltage를 증폭하는 역할을 수행하는 증폭기를 제안한 논문이 두 편 발표되었다. 또한 TDC 구현에 능동소자가 아닌 transmission line을 사용한 ADC도 발표되었다.

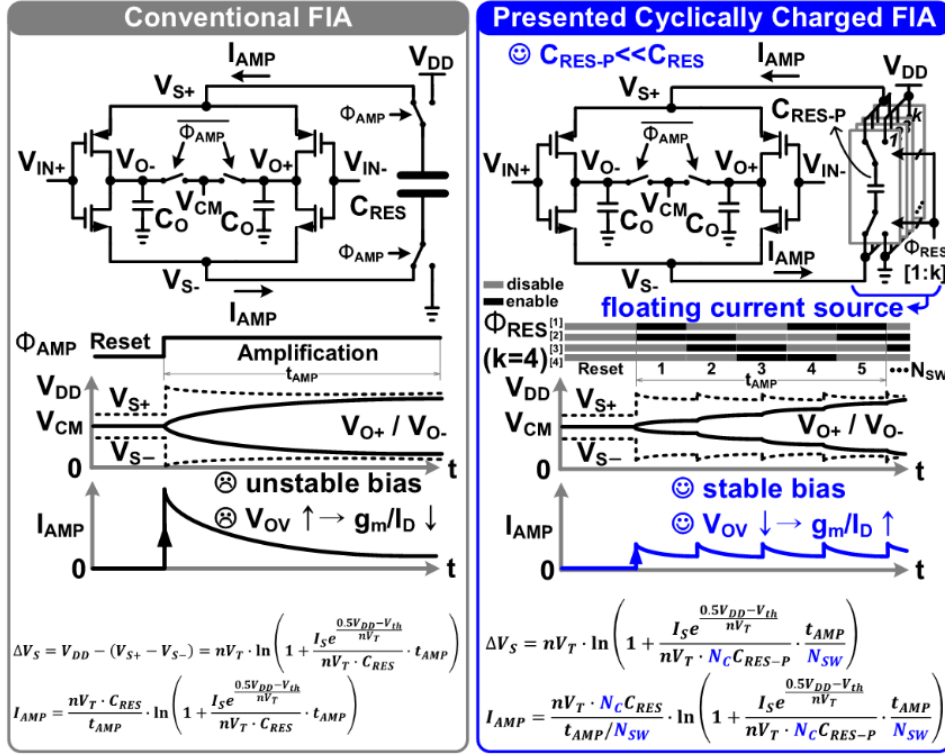
#11-1 A 74.0dB-SNDR 175.4dB-FoM Pipelined-SAR ADC using a Cyclically Charged Floating Inverter Amplifier

기존 FIA 의 C_{RES} 를 switched-capacitor 로 대체하여, 면적효율과 에너지 효율을 높인 ADC 를 제시한 논문이 발표되었다. 기존 FIA 의 C_{RES} 는 두 개의 inverter 와 두 개의 capacitor 로 구성되어 있다. C_{RES} 를 통해 residue 증폭기의 이득을 조절할 수 있지만, capacitor 의 면적이 크고 bias current 가 소모된다는 단점이 있다. cyclically charged FIA 는 C_{RES} 를 switched-capacitor 로 대체한다. Switched-capacitor 는 작은 capacitance 를 갖지만, switching 을 통해 effective 하게 큰 capacitance 로 보인다. 이를 통해 면적효율을 높일 수 있다. 또한, switched-capacitor 는 optimal level 을 유지할 수 있는 특성이 있다. 이를 이용하여 residue amplifier 의 bias current 를 줄이고, 안정적인 구동전압을 유지할 수 있다. 이 논문은 65nm 공정을 사용하여 cyclically charged FIA 를 구현했다. 면적은 0.0083mm^2 이고, 2MS/s Nyquist sampling rate (F_s)에서 74dB SNDR 와 85.5dB SFDR 성능을 얻었다. cyclically charged FIA 는 기존 FIA 의 단점을 보완하여 높은 에너지 및 면적 효율을 갖는 ADC 를 구현할 수 있는 새로운 기술이다. IoT 분야와 같은 저전력, 고성능이 요구되는 분야에서 활용될 수 있을 것으로 기대된다.

#11-2 An 11bit 360MS/s Pipelined SAR ADC with Dynamic Negative-C Assisted Residue Amplifier

기존 residual amplifier에 negative-C (NC)을 추가한 NC-assisted residue amplifier를 제안하여, 11bits 360MS/s의 sampling rate을 갖는 ADC를 설계했다. 이 구조는 moderate-to-high resolution 분야에 적합하게 최적화되었고, 기존 static NC와 dynamic NC 회로를 조합하여 PVT에 강인하도록 하고 에너지 효율을 높였다. 이는 NC를 설계할 때 필요한

세 가지 디자인 고려사항을 만족시킴으로써 달성할 수 있었다. 기존 논문들과 비교하여 가장 작은 면적을 소모하면서, calibration 없이 14fJ/step FoM_W와 164.6dB FoM_S를 달성했다.



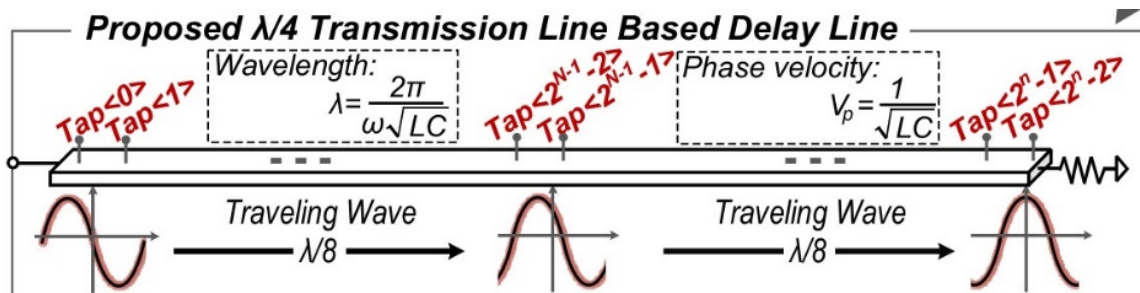
[그림 1] 기존 FIA와 논문에서 사용한 cyclically charge FIA 동작원리 비교.

#11-3 A 5GS/s 38.04dB SNDR Single-Channel TDC-Assisted Hybrid ADC with $\lambda/4$ Transmission Line Based Time Quantizer Achieving a PVT Robustness 416.6fs Time Step

본 논문에서는 PVT variation 에 강인한 transmission line (TL) 기반 TDC 를 제안하고, 이를 hybrid 형태로 융합한 TDC-assisted hybrid ADC 를 설계했다. 기존 TDC 는 data rate 을 높이기 위해 LSB period (T_{LSB})를 줄이는 데 중점을 두었다. 하지만 짧은 T_{LSB} 는 random jitter 로 인해 bit error rate (BER) 성능을 저하시킨다. 또한 PVT variation 으로 인해 $\Delta T_{LSB} / T_{LSB}$ 가 커져 더 높은 정확도의 calibration 이 필요하다는 단점이 있었다. T_{LSB} 를 줄이면서 커진 입력단의 transconductance (g_m)로 인해 low slew rate 에서의 전력 소모도 증가한다. 본 논문에서는 이러한 문제를 해결하기 위해 TL 기반 TDC 를 제안했다. TL 기반 TDC 는 active device delay 가 없어 추가적인 noise 나 jitter 없이 T_{LSB} 를 줄일 수 있다. 또한 wave 의 phase shifts 는 metal 과 dielectric 물질특성에 영향을 받기 때문에 T_{LSB} 는 PVT 에 강인할 수 있다는 장점이 있다. 본 논문에서 설계한 ADC 는 28nm 공정에서 0.012mm² 의 면적을 차지한다. ADC 는 5GS/s 의 sampling rate 에서 38.04dB SNDR 과 46.24dB SFDR 을 달성했다. 이는 기존 ADC 대비 우수한 성능이다.

#11-4 A 0.000261mm² Single-Channel 1 GS/s 8-Bit 3-Stage Capacitor Array-Assisted Charge Injection DAC-Based SAR ADC in 28nm CMOS

본 논문에서는 3-stage CDAC 과 charge injection DAC (ciDAC)을 함께 사용하여 0.000261mm²의 매우 작은 면적의 ADC를 제안했다. ciDAC은 구조 특성 상 gain error calibration이 용이하기 때문에 ciDAC을 cascade하여 작은 면적의 ADC를 설계했다. 또한 CDAC과 ciDAC을 함께 사용하여 높은 성능을 유지하면서 작은 면적의 ADC를 구현할 수 있었다. 기존 논문들에서 증명된 CDAC, ciDAC 하이브리드 구조를 본 논문에서는 최적화하여 3-stage capacitor array-assisted charge injection DAC을 제안했다. 그림 3과 같이 3-bit differential CDAC은 1.25fF unit MOM capacitor로 구현되었고, ciDAC은 two stage의 2-bit pull-down type으로 구현되었다. 첫 번째 bridge capacitor의 capacitance는 ciDAC swing이 전체 DAC과 충분히 coupling될 수 있도록 4.3fF으로 설계되었지만 CDAC에서는 역방향으로 ciDAC과 커플링되어 사용가능한 출력범위를 줄인다. 이를 해결하기 위해 역방향 커플링 이득을 줄이기 위해 C_{qv1} 를 키우고 역방향 커플링으로 인한 영향을 줄이기 위해 CDAC에서 step up-and-down 동작을 수행할 수 있도록 설계했다. 이를 통해 +0.69 LSB INL과 -0.75 LSB DNL을 달성했다. 측정된 입력 full-scale range는 $2 \times 700\text{mV}_{pp,diff}$ 이다. 또한 ADC는 <0.15 bits의 ENOB variation, 43.5dB-SNDR, 54.1dB-SFDR, 1V 전원전압에서 2.61mw의 전력소모 성능을 가지는 ADC가 제안되었다.



[그림 2] 제안된 $\lambda/4$ -wavelength TL-based delay line.



위정윤 박사과정 대학원생

- 소속 : DGIST EECS
- 연구분야 : Analog ICs for biomedical application
- 이메일 : wiejung@dgist.ac.kr
- 홈페이지 : <http://ins.dgist.ac.kr>

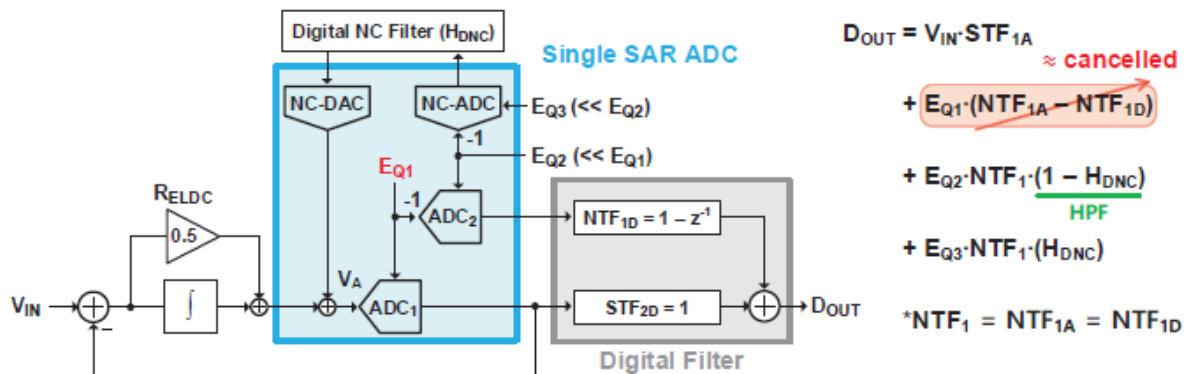
2023 IEEE ASSCC Review

KAIST 전기및전자공학과 박사과정 신현우

Session 14 High Precision Oversampling ADCs

A-SSCC 2023의 Session 14. High Precision Oversampling ADCs에서는 높은 전력 효율과 고해상도의 성능을 보이는 Noise Shaping을 활용한 Delta-Sigma Modulator ADC (이하 DSM) 계열의 논문이 총 4편 발표되었다. 종래의 DSM 논문에서 고해상도 구조를 실현하는 것에 초점을 맞추었다면, 최근에 발표되는 DSM 논문 트렌드는 하드웨어 부담을 줄이거나 설계 과정에서 발생하는 비이상적 현상들을 해결 및 완화하는 것을 중점적으로 다루는 경향을 보인다. 본 A-SSCC 2023 Session 14에서는 고성능 DSM 구조를 구현함에 있어서 하드웨어 부담을 줄이는 기법(#14.1 & #14.3)과, 기존의 multi-stage noise shaping (이하 MASH) DSM에서 발생하는 누수 현상 (leakage)을 완화하는 기법(#14.2 & #14.4)에 대해서 다루어진 만큼, 이러한 트렌드가 적절히 반영되었다고 평가된다.

#14.1 – Korea Advanced Institute of Science and Technology (KAIST), Korea



[그림 1] Block diagram of the proposed work

본 논문에서는 Digital Noise Coupling (이하 DNC)을 적용한 DSM 구조가 지닌 하드웨어 부담을 완화하는 기법을 제안하였다. DSM의 해상도 성능을 높이는 목적으로 종래에 사용된 analog noise coupling (이하 ANC)의 과도한 설계 부담을 낮추기 위해, 비교적 낮지만 충분히 경쟁력 있는 해상도를 보이는 DNC 구조가 최근 다양한 애플리케이션의 DSM에서 사용된다[1]. 해당 선행 논문에서는 증폭기를 사용하여 설계 부담 및 전력 소모가

과도한 종래의 ANC 구조와 달리, noise coupling을 digital domain에서 적은 하드웨어 변환을 통해 효율적으로 구현한다. 하지만, 해당 구조에서는 quantization noise를 coupling 함으로써 낮은 maximum stable amplitude (이하 MSA)와 높은 out-of-band gain (이하 OBG)으로 인한 quantizer 부담이 취약점으로 작용한다. 이러한 취약점을 보완하기 위해, 본 연구에서는 기존의 DNC 기법을 사용한 DSM에 MASH 기법을 결합하였다. 기존의 DNC 기법에서는 main quantization noise가 coupling되어 상기의 문제가 야기되었으나, 본 연구에서는 MASH 구조를 결합함으로써 main quantization noise를 cancel시키며, 추가적인 conversion을 통해 얻는 fine한 quantization noise를 대신 coupling 시킴으로써, 기존의 DNC 구조에서 나타나는 MSA 및 quantizer 부담 문제를 완화할 수 있다. 본 연구는 측정을 통해 25kHz의 대역폭에서 98.4dB-SNDR 및 177.2dB-FoMs 라는 준수한 성능을 도출함으로써 그 효용성과 높은 완성도를 보였다고 평가된다.

#14.2 – Xidian University, China

본 논문에서는 종래의 Zoom ADC에서 발생하는 inter-stage quantization noise leakage 현상에 의한 문제를 완화하기 위한 기법이 발표되었다. DSM loop filter를 구성하는 integrator의 설계 부담을 완화하기 위해 고안된 zoom ADC 구조이지만, MASH 형태를 채택함으로 인한 (inter-stage) quantization noise leakage 문제와 static power를 소모하는 OTA가 integrator를 구성함으로 인한 소비 전력 문제라는 문제점들이 해결 과제로 작용하여 여러 후속 연구를 낳게 되었다. 이러한 선행 연구들은 post-digital filtering을 통한 cancellation 기법 [2], feed-forward path 도입 기법 [3], NS SAR 형태의 coarse ADC 채택 [4], FIR DAC 사용 [5] 등 다양한 접근을 통한 해결 기법을 제안하였으며, 본 연구에서는 이 중, 선행 연구 [6]에서 사용한 NS기법을 변형한 형태의 coarse ADC를 채택함으로 해당 문제를 해결하였다. 이 과정 중 동적 증폭기 및 cap만을 활용하여 전력 소모를 감소시켰으며, 또한, loop filter에 사용되는 integrator 또한 동적 증폭기 구조 중 하나인 Floating Inverter Amplifier를 사용하여 전력 소모를 추가적으로 감량하였다. 측정 결과, 20kHz의 대역폭에서 98.1dB-SNDR 및 179.5dB-FoMs의 높은 성능을 도출하였다는 점에서 본 연구는 완성도가 높은 연구로 평가된다. 다만, 기존 선행 연구와 구조적 측면에서 크게 차이점이 부각되지 않고, 증폭기 전력 소모를 감소시키는 것에 초점을 두었음에도, 여전히 전체 전력 소모 비율 중 증폭기가 차지하는 비율이 높은 것으로 추정되는 것이 아쉬운 점으로 남는다.

#14.3 – Fuzhou University, China

본 논문에서는 종래의 DSM 구조에서 선형성 증가를 위한 기법을 사용하였을 때 발생하는 문제를 완화하기 위한 기법을 제안하였다. DSM의 경우, 설계에 따라 여러 종류의

quantizer 구조로 나누어 사용하게 되는데, 본 연구에서 초점을 맞추는 것은 1-bit (single bit), multi-bit 그리고 그 사이에 위치한 1.5-bit의 차이점이다. Multi-bit의 경우, feedback DAC의 선형성을 보장하기 위한 기법이 필수적이며, 이러한 기법으로 주로 사용되는 Data-Weighted Averaging (이하 DWA)의 경우, 구현을 위한 하드웨어 부담이 Feedback DAC의 해상도에 따라 기하급수적으로 증가하는 단점이 존재한다. 반면, single-bit의 경우, 이에 상응하는 feedback DAC이 선형성 문제에서 자유롭지만 해상도가 낮은 만큼 SQNR 성능이 낮다는 단점이 존재한다. 1.5-bit 구조는 상기한 두 구조의 중간 특성을 띄는 만큼, 높은 선형성 및 (single-bit 대비) 높은 SQNR 성능을 보인다. 하지만, 1.5-bit의 경우, mid-rise 형태의 quantizer인 single-bit 구조와 달리, mid-tread 형태의 quantizer이므로 quantization threshold (v_{th}) 및 입력의 amplitude에 따라 성능 (MSA, 선형성, loop gain)이 상이하다는 취약점이 존재한다. 해당 취약점을 보완하기 위해, 본 연구에서는 입력의 amplitude에 따른 quantizer에 사용되는 cap을 달리하는데, 입력의 진폭이 큰 일반적인 경우 ($> -50\text{dB}$), 큰 cap을 사용함으로써 낮은 quantizer gain 및 높은 v_{th} 를 구현하여 높은 MSA 및 선형성을 보이고, 반대로 작은 입력의 경우 ($< -50\text{dB}$), 작은 cap으로 스위칭을 함으로써 높은 quantizer gain 및 낮은 v_{th} 를 구현하여 높은 loop gain 및 선형성을 보인다. 본 연구는 700Hz의 audio-band 대역폭에서 92.2dB-SNDR 및 177dB-FoMs의 성능을 측정하였으며, 2.1dB DR 상승을 보였다. Quantizer 내의 capacitor를 사용한 quantizer transfer curve를 조절을 통해 adjustable ADC를 구현하였다는 점에서 흥미로운 연구이나, DR 상승에 중점을 둔 연구임에도 낮은 성능 증가치를 보였다는 점은 다소 아쉬움으로 남는다.

#14.4 – Xidian University, China

본 논문에서는 MASH DSM 구조를 구현함에 있어, 두 번째 단에 대한 설계 부담을 낮출 수 있는 구조를 소개하였다. 본 연구에서 채택한 구조는 기본적으로 M-N MASH를 따른다. 즉, 첫 번째 및 두 번째단이 각각 M차 및 N차 noise shaping 성능을 보이며, 최종적으로 (M+N)차 noise shaping 성능을 도출하는 것을 목표로 한다. 다만, MASH 구조에서 고질적으로 발생하는 quantization noise leakage 문제는 불가피 한데, 본 연구에서는 MASH 구조를 하나의 하드웨어(Single Capacitive DAC) 내에 구현함으로써 이러한 문제를 최소화하였다. 추가적으로, 두 번째 단에서 발생하는 문제(noise, mismatch, 비선형성 등)의 경우, 첫 번째 단에 의해 shaping이 되어, 설계적 부담이 대폭 완화되는 장점이 존재한다. 정리하자면, 첫 번째 단의 noise shaping 성능이 최종 ADC 성능으로 직결되는 만큼, 첫 번째 단의 noise shaping 성능이 중요하다. 이를 위해 본 논문에서는 증폭기를 사용하는 능동 noise shaping 기법을 채택한 Error Feedback (이하 EF) 방식의 고 성능의 noise shaping 구현하였다. 또한, 더욱 높은 해상도를 달성하기 위해 두 번째 단의 noise shaping 또한 첫 번째 단의 그것과 같은 방식을 채택하였는데, 이를 구현하는 과정에 있

어, 첫 번째 단에서 사용한 증폭기를 re-use함으로써 높은 하드웨어 효율을 보인다. 비록, 기존의 M-N MASH 구조와 비교되는 특징이 뚜렷하지 않아 독창성 측면에서는 다소 아쉬운 점이 있으나, 83.6dB-SNDR 및 173.2dB-FoMs의 성능을 효율적인 하드웨어 사용을 통해 달성했다는 점을 통해 앞으로의 발전 가능성이 기대되는 연구이다.

저자정보



신현우

- 소 속 : KAIST 전기및전자공학과 박사과정
 - 연구분야 : High Speed ADC
 - 이 메 일 : shin6223@kaist.ac.kr
 - 홈페이지 : <https://msicl.kaist.ac.kr>
-

2023 IEEE ASSCC Review

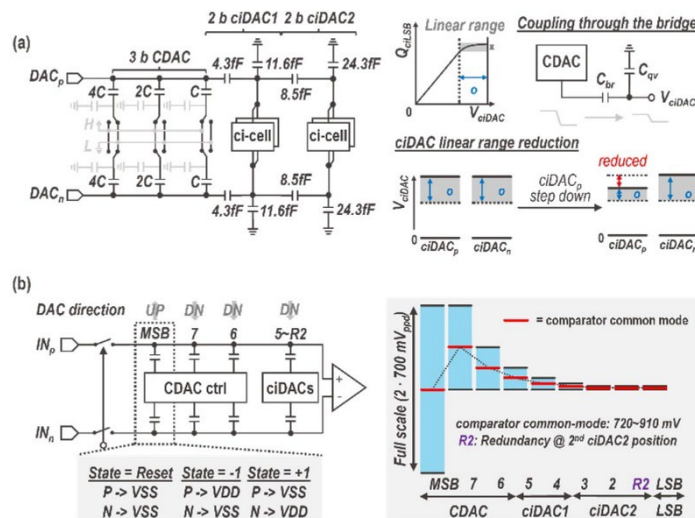
DGIST EECS 박사과정 위정윤

Session 21. Application-oriented ADCs

이번 2023 IEEE CICC의 Session 21은 Application-oriented ADCs라는 주제로 총 2편의 논문이 발표되었다. 이 세션에서는 넓은 입력범위를 달성한 capacitance-to-digital converter와 interpolation linearization을 사용한 매우 낮은 전원전압에서 동작가능한 quad channel ADC가 발표되었다.

#21-1 A 23.9 μ W 13.6-bit Period Modulation-Based Capacitance-to-Digital Converter with Dynamic Current Mirror Front-end Achieving Capacitor Range of 1 to 68pF

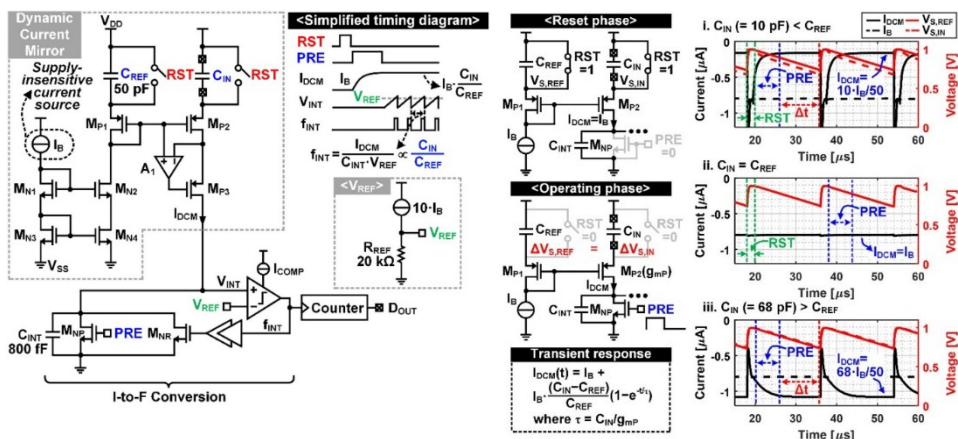
이 논문은 DCM을 기반으로 PM 방식의 CDC를 제안했다. 이 CDC는 23.9 μ W의 낮은 전력소모와 13.6-bit ENOB, 그리고 1-68pF의 넓은 입력범위를 달성했다. 논문의 특징은 DCM front-end이다. 그림 4와 같이 MP1, MP2, CREF를 사용하여 CIN/CREF의 배수로 결정되는 mirroring current (IDCM)을 생성한다. 두 트랜지스터 MP1과 MP2 사이의 mirroring 정확도는 amplifier A1에 의해 결정된다. IDCM이 PM되어 digital counter에 의해 digital화된다. 이 구조에서는 별도의 reference voltage buffer를 사용하지 않고도 DCM은 CDC가 넓은 입력범위를 갖는다. 제안된 CDC는 65nm CMOS 공정으로 설계되었으며, 1V 전원전압에서 23.9 μ W의 전력을 소모한다. 또한 integration 시간 대비 측정된 ENOB는 13.6-bit이다. 이전에 제안된 구조들과 비교해보면 기존 논문보다 2.3배 이상 큰 input range를 갖으면서 동시에 4.1pJ/step FoM과 0.05mm²의 작은 면적을 갖는다.



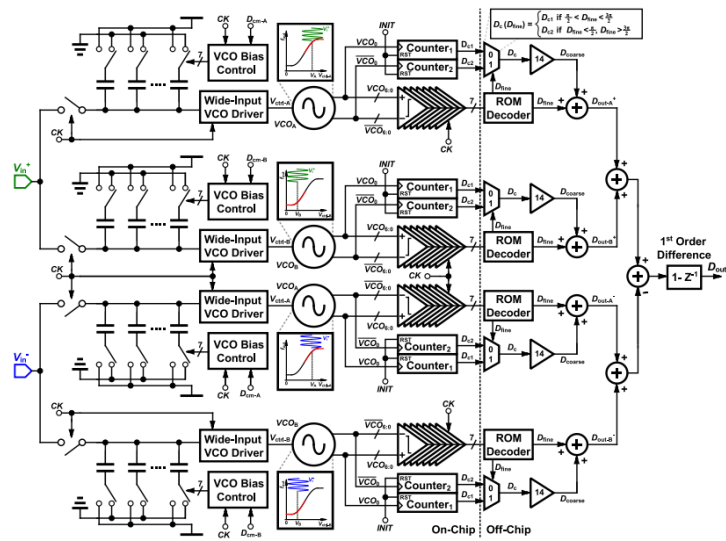
[그림 3] (a) 제안된 c-ciDAC construction과 ciDAC linear range reduction (b) ciDAC linear range를 고려한 DAC sequence.

#21-2 A 0.12-V 200-Hz-BW 10-bit ADC Using Quad-Channel VCO and Interpolation Linearization

이 논문에서는 0.12V 의 매우 낮은 전원전압에서 동작하고 200Hz-BW 를 갖는 10-bit ADC 를 제안했다. 이 ADC 는 deep-subthreshold 에서 동작하는 ADC 의 trade-off 를 제거하기 위해 time-based processing 을 사용했다. ADC 는 4 개의 channel 로 구성되어 있으며, 각 channel 에는 bias control, 넓은 입력 VCO driver, VCO quantizer, fine-coarse VCO readout, digital interpolation linearizer, 그리고 4x bootstrapped sample and hold (S/H)가 구현되어 있다. 두 개의 VCO 를 사용하여 VCO 의 non-linear V-F characteristic 을 보완하고 입력범위를 넓혔다. 7-bits CDAC 을 사용하여 VCO 의 input bias 를 조절하여 각 VCO 가 원하는 operation region 에서 동작하도록 설계했다. ADC 는 28nm CMOS 공정으로 설계되었으며, $90 \times 90 \mu\text{m}^2$ 의 active area 를 갖는다. 0.12V 이하의 전원전압에서도 동작가능한 ADC 구조로 200Hz-BW, 75-OSR 로 30kHz 에서 동작이 가능하다. 또한 57.2dB SNDR, 66.3dB-SFDR, 57.2dB-DR 을 달성했다. 0.12V 전원전압에서 모든 회로를 포함하여 총 72nW 를 소모한다. 0.12V 이하의 전원전압에서도 동작가능한 ADC 구조로 200Hz-BW, 75-OSR 로 30kHz 에서 동작이 가능하고, 57.2dB SNDR, 66.3dB-SFDR, 57.2dB-DR 을 달성했다. 0.12V 전원전압에서 모든 회로를 포함하여 총 72nW 를 소모한다. 전원전압이 매우 낮은 경우, 전원전압이 낮아짐에 따라 성능은 급격히 저하되는데, 기존 논문들보다 낮은 전원전압으로 비교적 높은 성능을 구현했다는 특징을 가진다.



[그림 4] 제안된 PM-based CDC와 DCM front-end 동작.



[그림 5] 제안된 quad-channel VCO-based ADC와 Interpolation linearization

저자정보



위정윤 박사과정 대학원생

- 소속 : DGIST EECS
- 연구분야 : Analog ICs for biomedical application
- 이메일 : wiejung@dgist.ac.kr
- 홈페이지 : <http://ins.dgist.ac.kr>